

# FLIP FLOP

El biestable JK MAESTRO-ESCLAVO presenta el inconveniente que durante la parte alta del impulso de reloj sus entradas son activas, es decir el flip-flop será sensible a los cambios que se produzcan en ellas durante este intervalo.

*Como hay muchos casos en que es conveniente disponer de flip-flops en los que el tiempo en que las entradas sean activas sea muy corto, independientemente de la duración del estado alto del ciclo de reloj, adoptaremos alguna de las siguientes soluciones:*

1. El FLIP-FLOP JK disparado por FLANCO (JK EDGE TRIGGERED)
2. El FLIP-FLOP JK MAESTRO-ESCLAVO con CIERRE DE DATOS (JK M/S WITH DATA LOCKOUT)

Sin entrar en el detalle de la construcción interna de este tipo de biestables resaltaremos sus características diferenciales.

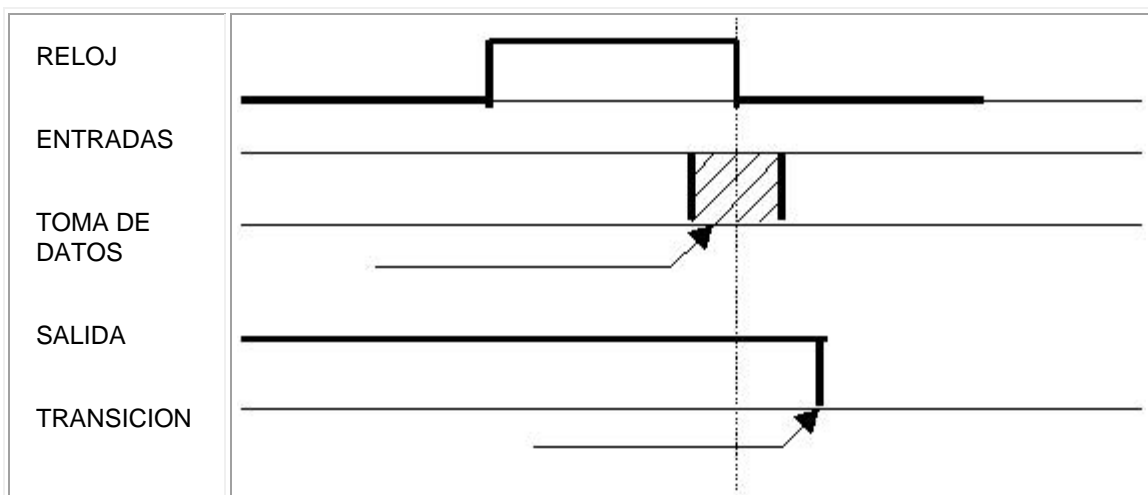
## El FLIP-FLOP JK disparado por FLANCO (JK EDGE TRIGGERED)

De los dos flancos del impulso de reloj, solamente uno de ellos es activo tanto para la lectura de las entradas como para la transición de las salidas. Las entradas deben mantenerse estables un cierto tiempo previo al flanco activo del reloj, produciéndose la transición con cierto tiempo de retardo respecto a este mismo flanco.

Se encuentran en los catálogos flip-flops disparados por flanco positivo o de subida y flip-flops disparados por flanco negativo o de bajada, siendo más frecuente los de este último tipo.

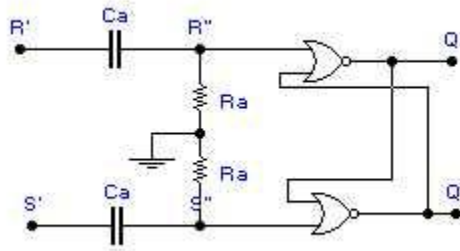
La duración del impulso de reloj y, por tanto, la posición relativa del flanco no activo del mismo carecen de importancia.

En la siguiente figura se esquematiza el funcionamiento de un flip-flop de este tipo cuyo flanco activo es el negativo.



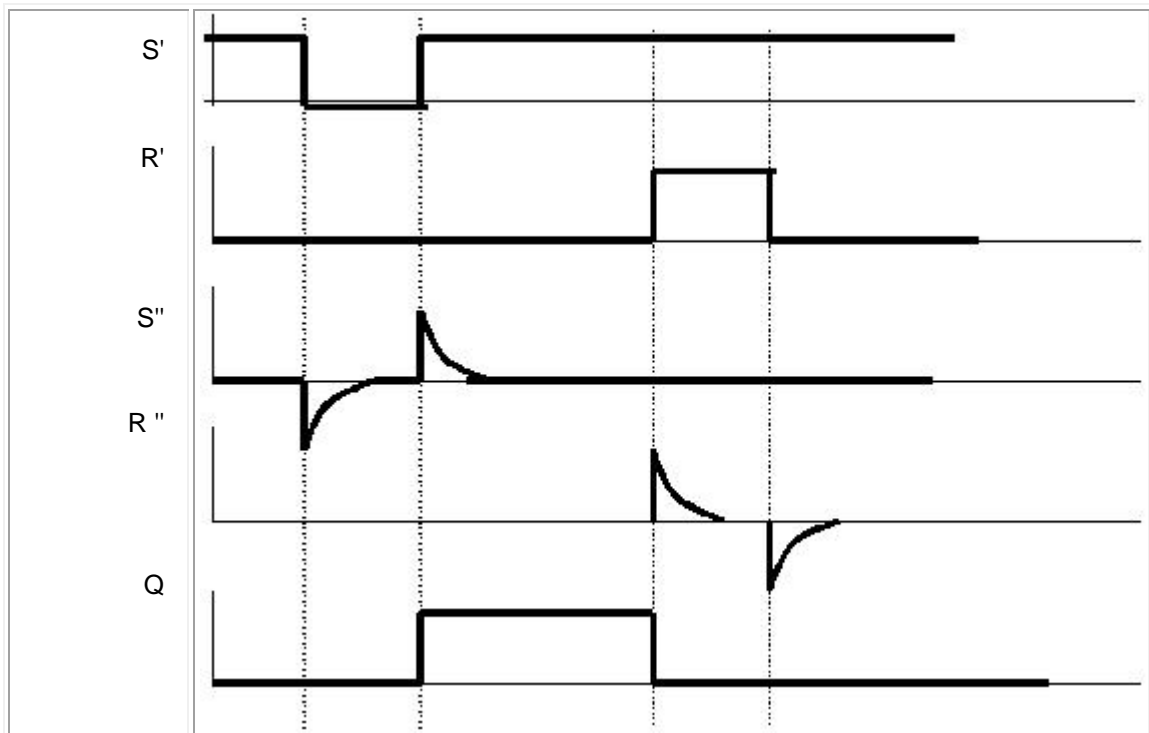
Los fabricantes de circuitos integrados utilizan dos técnicas diferentes para realizar flip-flops que respondan al modo de comportamiento que acabamos de describir.

La primera de ellas hace uso del acoplo capacitativo de las entradas, de modo que, solamente son transmitidas las variaciones de las señales aplicadas a las mismas.



En la figura observamos que cada condensador  $C_a$  en combinación con la resistencia  $R_a$  forman un diferenciador cuya constante de tiempo se calcula teniendo en cuenta el tiempo de subida de la señal aplicada así como la capacidad de entrada de cada una de las puertas.

Su funcionamiento sería:



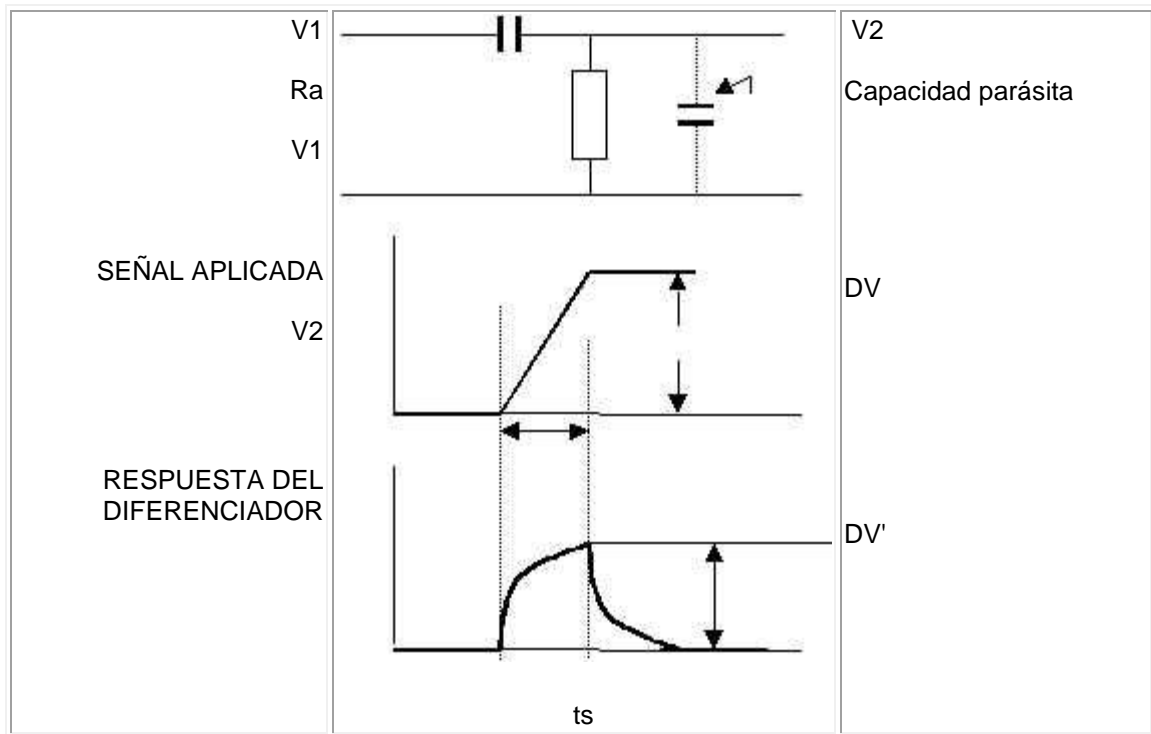
Cuando las señales de entrada  $S'$  y  $R'$  permanecen fijas, se cual sea el nivel lógico de las mismas en los puntos  $S''$  y  $R''$  se mantiene el nivel "0", por lo que el biestable permanece en ese estado indefinidamente.

Si en alguna de las entradas se produce una transición de bajada, se transmite a través del diferenciador un pulso negativo que no produce ningún efecto sobre el flip-flop. Sin embargo, las transiciones de subida transmiten un pulso positivo que momentáneamente llega a los puntos  $S''$  ó  $R''$  produciendo la transición correspondiente.

En el ejemplo de la figura se ha supuesto que el biestable estaba inicialmente en RESET ("0"), pasando a SET ("1") al detectar el primer flanco de subida de  $S'$  y volviendo a RESET con el primer flanco de subida de  $R'$ .

En realidad hay que tener en cuenta que la capacidad asociada a las entradas de las puertas no es nula, con lo que el diferenciador no será perfecto.





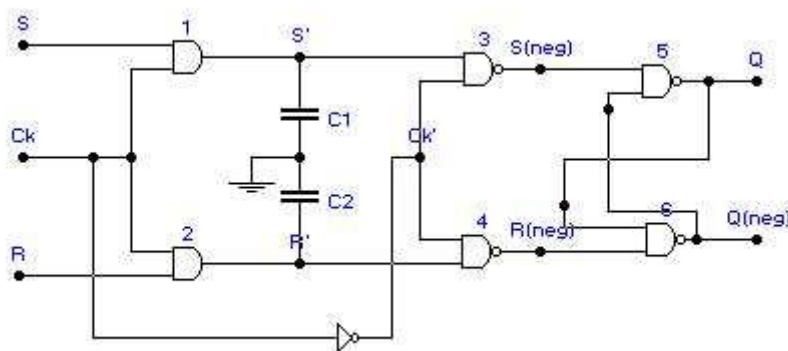
Por otro lado, las señales aplicadas a las entradas tendrán un cierto tiempo de subida ( $t_s$ ).

Todo ello hace que la amplitud de la señal transmitida a través de los diferenciadores sea menor de la previsible en el caso ideal.

Así pues la amplitud  $DV'$  será menor cuanto mayor sea el tiempo de subida de la señal aplicada, pudiendo incluso, si éste es demasiado grande, no superar la tensión umbral necesaria para ser interpretado como un "1" lógico.

Por esta razón, en este tipo de biestables es necesario especificar el tiempo de subida máximo de las señales de entrada.

El otro método de lograr el funcionamiento por flancos es el de almacenamiento capacitativo, utilizado en algunos flip-flops de la familia TTL

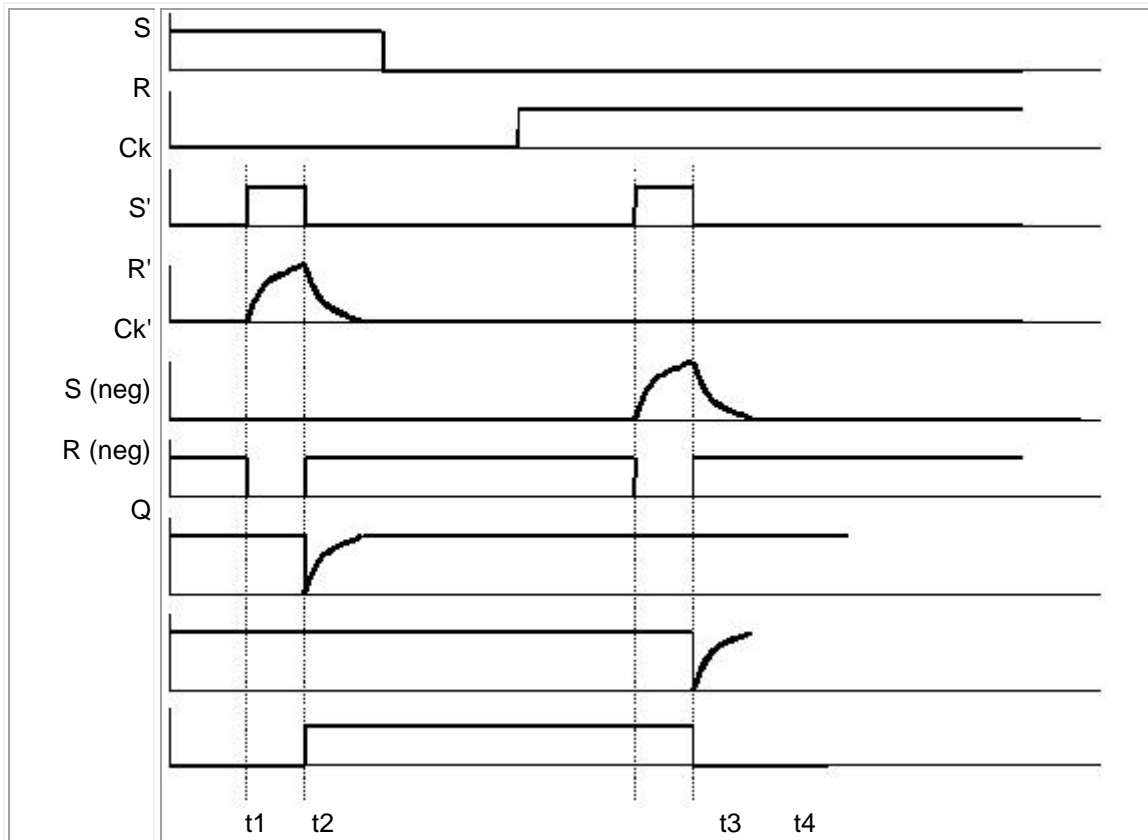


En principio las puertas AND de la entrada estarán bloqueadas mientras la señal de reloj sea "0".

Supongamos que  $S=1$  y  $R=0$ . Cuando llegue el flanco de subida del impulso de reloj  $Ck$ , la señal  $S'$  subirá exponencialmente hacia "1", debido al efecto integrador de  $C1$  en combinación con la resistencia de salida de la puerta 1. Pero al mismo

tiempo que Ck se hace "1", Ck' se hace "0" bloqueamos las puertas 3 y 4. En consecuencia, esta transición no producirá ningún efecto en el estado del flip-flop.

Por el contrario, al llegar el impulso de bajada de reloj, las puertas 3 y 4 se abren de nuevo, mientras que los condensadores C1 y C2 tienden a mantener su nivel de tensión anterior durante un cierto tiempo. En este caso, como S' es "1" resulta  $S(\text{neg})=0$  y  $R(\text{neg})=1$ , lo que fuerza el SET del biestable básico constituido por las puertas 5 y 6.



En la figura se representa gráficamente el funcionamiento descrito, así como el proceso de RESET cuando  $S=0$  y  $R=1$

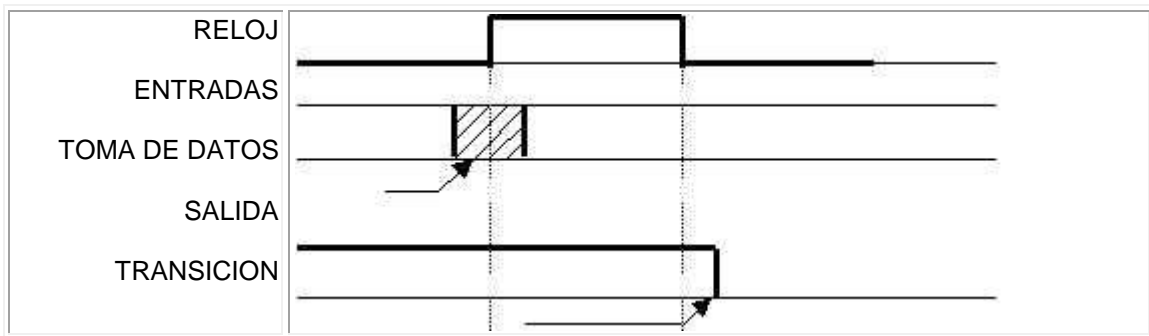
En este caso, el tiempo de bajada del flanco de reloj no debe ser superior a un cierto valor con el fin de que los condensadores no tengan tiempo a descargarse y se obtengan las señales S(neg) y R(neg) dibujados en la figura a continuación de los instantes  $t_2$  y  $t_4$  respectivamente. Típicamente se especifica que el tiempo de bajada del impulso de reloj sea inferior a 150 ns. (Familia TTL).

Por otro lado, obsérvese que durante los instantes en que el reloj está a "1" los condensadores C1 y/o C2 se cargan, proceso que necesita un cierto tiempo. Es preciso especificar también la anchura mínima de los impulsos de reloj. (Típicamente mayor que 20 ns en TTL).

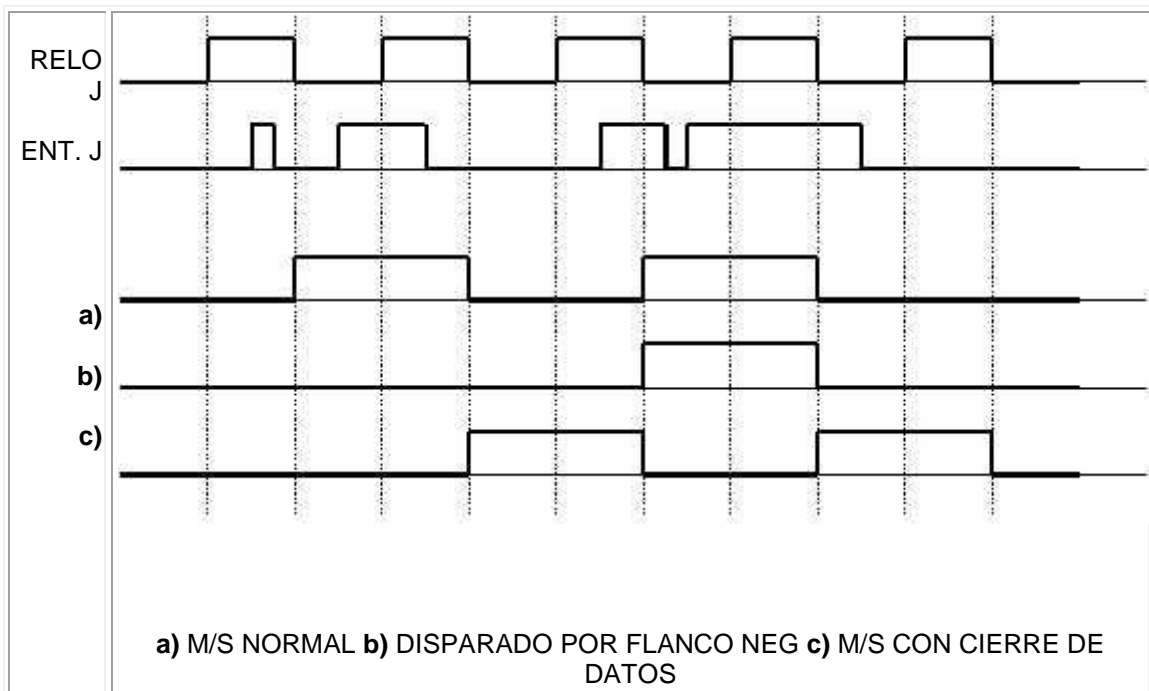
## EL FLIP-FLOP JK MAESTRO-ESCLAVO con CIERRE DE DATOS (JK M/S WITH DATA LOCKOUT)

En este tipo de biestable las entradas son exploradas durante el flanco de subida del reloj, mientras que la actualización de la salida se produce a continuación del flanco de bajada del mismo. Cualquier cambio que se produzca en las entradas durante el tiempo en que el reloj se mantiene a nivel alto no produce efecto sobre la salida.

En este caso el flanco de subida es el activo para la toma de datos mientras que el de bajada lo es para la transición.



Con el fin de ilustrar las diferencias entre estos dos tipos de biestable y el MAESTRO/ESCLAVO normal, se presenta un ejemplo en el que se supone que la entrada K se mantiene permanentemente a "1" mientras que en la entrada J se aplica una cierta señal.



Como puede observarse, el comportamiento es completamente diferente en cada uno de los tres casos estudiados.

Obsérvese que todas las transiciones de las salidas coinciden con los flancos de bajada del reloj. El tipo de transición viene determinada en:

- a) por el valor de JK durante la duración del estado alto del reloj
- b) por el valor de JK en el mismo flanco de bajada
- c) por el valor de JK en el flanco de subida anterior

## Parámetros de los FLIP-FLOPS

Además de los parámetros característicos de la familia lógica a que pertenecen, como son niveles lógicos, fan-out., etc. Cabe destacar una serie de parámetros, más o menos normalizados, relativos a la temporización de las diferentes señales que intervienen en la conmutación de los flip-flops. De ellos cabe destacar los siguientes:

1. Tiempo de establecimiento (SET UP TIME). Es el tiempo anterior al flanco activo de toma de datos durante el cual las entradas no deben cambiar.
2. Tiempo de mantenimiento (HOLD TIME). Es el tiempo posterior al flanco activo de toma de datos durante el cual las entradas no deben cambiar.
3. Frecuencia máxima de reloj. Es la frecuencia máxima admisible de la señal de reloj que garantiza el fabricante.

4. Duración del tiempo alto de reloj. Es el tiempo mínimo que debe durar la parte alta del impulso de reloj.
5. Duración del tiempo bajo de reloj. Es el tiempo mínimo que debe durar la parte baja del impulso de reloj.
6. Tiempo bajo de PRESET Y CLEAR. Es el tiempo mínimo que debe activarse las entradas asíncronas para garantizar su funcionamiento.
7. Tiempo de retardo o propagación. Es el tiempo que transcurre desde el flanco activo del reloj que produce la conmutación y el momento en que ésta tiene lugar.

ELABORADO POR jose manuel (BADUEL)